

**WEST**

## End of Result Set



Generate Collection

Print

L2: Entry 1 of 1

File: JPAB

Oct 11, 1996

PUB-NO: JP408264784A

DOCUMENT-IDENTIFIER: JP 08264784 A

TITLE: MANUFACTURE OF FIELD-EFFECT SEMICONDUCTOR DEVICE

PUBN-DATE: October 11, 1996

## INVENTOR-INFORMATION:

NAME

COUNTRY

KUROKAWA, ATSUO

## ASSIGNEE-INFORMATION:

NAME

COUNTRY

SONY CORP

APPL-NO: JP07094412

APPL-DATE: March 28, 1995

INT-CL (IPC): H01 L 29/78; H01 L 21/336; H01 L 21/265

## ABSTRACT:

PURPOSE: To manufacture a field-effect semiconductor device wherein dererioration of characteristics over time is little, the life is long, and a short channel effect is restrained.

CONSTITUTION: A gate electrode is formed of a tapered polycrystalline Si film 23, and a diffusion layer region 25 is formed by slant rotation ion-implantation of impurities using the polycrystalline Si film 23 as a mask. Thereby, the diffusion layer region 25 can be formed as far as the part below the polycrystalline Si film 23, and the implantation ratio to an SiO2 film 26 out of hot carriers becomes low. An effective channel length 28 can be made long without changing the width of the resist 24 in the channel direction.

COPYRIGHT: (C)1996, JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-264784

(43)公開日 平成8年(1996)10月11日

(51)IntCl <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78			H 0 1 L 29/78	3 0 1 P
21/336			21/265	V
21/265			29/78	3 0 1 L

審査請求 未請求 請求項の数2 F D (全 4 頁)

(21)出願番号 特願平7-94412  
 (22)出願日 平成7年(1995)3月28日

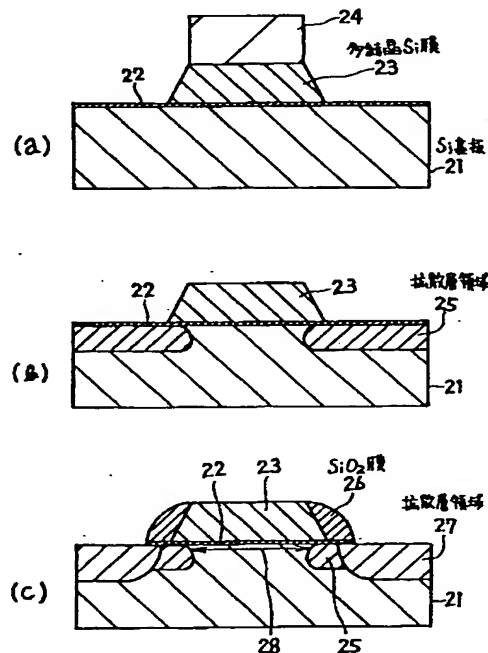
(71)出願人 000002185  
 ソニー株式会社  
 東京都品川区北品川6丁目7番35号  
 (72)発明者 黒川 敏雄  
 東京都品川区北品川6丁目7番35号 ソニ  
 ー株式会社内  
 (74)代理人 弁理士 土屋 勝

(54)【発明の名称】 電界効果型半導体装置の製造方法

(57)【要約】

【目的】 特性の経時的劣化が少なく寿命が長く且つ短チャネル効果も抑制された電界効果型半導体装置を製造する。

【構成】 テーパー形状の多結晶Si膜23でゲート電極を形成し、多結晶Si膜23をマスクにした不純物の斜め回転イオン注入で拡散層領域25を形成する。このため、拡散層領域25を多結晶Si膜23下にまで形成することができ、ホットキャリアのうちでSiO<sub>2</sub>膜26に注入される割合が低くなる。しかも、チャネル長方向におけるレジスト24の幅を変更することなく実効チャネル長28を長くすることができる。



1

## 【特許請求の範囲】

【請求項1】 ゲート電極をマスクにして半導体基板に不純物を導入して相対的に低濃度の第1の拡散層領域を形成し、前記ゲート電極とこのゲート電極に設けた絶縁性の側壁とをマスクにして前記半導体基板に不純物を導入して相対的に高濃度の第2の拡散層領域を形成する電界効果型半導体装置の製造方法において、

少なくとも前記半導体基板側の基部におけるチャネル長方向の幅が前記半導体基板から離間するにつれて狭くなっている前記ゲート電極を形成する工程と、

前記ゲート電極をマスクにした不純物の斜め回転イオン注入で前記第1の拡散層領域を形成する工程とを具備することを特徴とする電界効果型半導体装置の製造方法。

【請求項2】 ポリサイド層で前記ゲート電極を形成し、

前記ポリサイド層のうちの多結晶Si膜を前記基部にすることを特徴とする請求項1記載の電界効果型半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、LDD構造の電界効果型半導体装置の製造方法に関するものである。

【0002】

【従来の技術】図3は、本発明の第1従来例で製造したLDD構造のMOSトランジスタを示している。この第1従来例では、Si基板11の表面にゲート酸化膜としてのSiO<sub>2</sub>膜12を形成し、このSiO<sub>2</sub>膜12上の多結晶Si膜13等でゲート電極を形成する。

【0003】その後、多結晶Si膜13をマスクにした不純物のイオン注入等で低濃度の拡散層領域14をSi基板11に形成し、SiO<sub>2</sub>膜15等から成る絶縁性の側壁を多結晶Si膜13に設ける。そして、多結晶Si膜13とSiO<sub>2</sub>膜15とをマスクにした不純物のイオン注入等で高濃度の拡散層領域16をSi基板11に形成する。

【0004】図4は、本発明の第2従来例で製造したLDD構造のMOSトランジスタを示している。この第2従来例でも、多結晶Si膜13をマスクにした不純物のイオン注入及びその後の熱拡散等で低濃度の拡散層領域17を多結晶Si膜13下にまで広げることを除いて、上述の第1従来例と実質的に同様の工程を実行する。

【0005】

【発明が解決しようとする課題】ところで、MOSトランジスタの微細化に伴う短チャネル効果のうちのソース／ドレイン間のパンチスルーを防止するためには、Si基板11の不純物濃度を高くして、ドレインからの空乏層の拡がりを抑制する必要がある。しかし、ドレインからの空乏層の拡がりを抑制すると、この空乏層内における電界が高くなって、ホットキャリアの発生が多くなる。

2

【0006】ところが、図3に示した第1従来例で製造したMOSトランジスタでは、拡散層領域14がSiO<sub>2</sub>膜15下にしか位置していないので、ホットキャリアのうちでSiO<sub>2</sub>膜15に注入される割合が高く、閾値電圧や相互コンダクタンス等の特性の経時的劣化が速くて、寿命が10<sup>5</sup>秒程度しかなかった。

【0007】これに対して、図4に示した第2従来例で製造したMOSトランジスタでは、拡散層領域17が多結晶Si膜13下にまで広がっているため、ホットキャリアのうちでSiO<sub>2</sub>膜15に注入される割合が第1従来例で製造したMOSトランジスタより低く、閾値電圧や相互コンダクタンス等の特性の経時的劣化が遅くて、寿命が10<sup>7</sup>秒程度まで向上している。

【0008】しかし、この第2従来例で製造したMOSトランジスタでは、拡散層領域17が多結晶Si膜13下にまで広がっているために、図3と図4との比較からも明らかな様に、第1従来例で製造したMOSトランジスタよりも実効チャネル長18が短い。

【0009】このため、短チャネル効果を無視することができなくなり、短チャネル効果を抑制しつつ特性の経時的劣化を遅くして寿命を長くするためには、多結晶Si膜13をバターニングするためのリソグラフィのマスクの幅を広くする必要があり、これではMOSトランジスタを微細化することができない。

【0010】

【課題を解決するための手段】請求項1の電界効果型半導体装置の製造方法は、ゲート電極をマスクにして半導体基板に不純物を導入して相対的に低濃度の第1の拡散層領域を形成し、前記ゲート電極とこのゲート電極に設けた絶縁性の側壁とをマスクにして前記半導体基板に不純物を導入して相対的に高濃度の第2の拡散層領域を形成する電界効果型半導体装置の製造方法において、少なくとも前記半導体基板側の基部におけるチャネル長方向の幅が前記半導体基板から離間するにつれて狭くなっている前記ゲート電極を形成する工程と、前記ゲート電極をマスクにした不純物の斜め回転イオン注入で前記第1の拡散層領域を形成する工程とを具備することを特徴としている。

【0011】請求項2の電界効果型半導体装置の製造方法は、ポリサイド層で前記ゲート電極を形成し、前記ポリサイド層のうちの多結晶Si膜を前記基部にすることを特徴としている。

【0012】

【作用】本発明による電界効果型半導体装置の製造方法では、ゲート電極をマスクにした不純物の斜め回転イオン注入で拡散層領域を形成しているため、この拡散層領域をゲート電極下にまで形成することができる。

【0013】一方、ゲート電極の少なくとも基部におけるチャネル長方向の幅を半導体基板から離間するにつれて狭くしているため、ゲート電極の最も狭い部分をリソ

3

グラフィのマスクに合わせて形成すれば、ゲート電極の基部におけるチャンネル長方向の幅をリソグラフィのマスクの幅よりも広くすることができる。

【0014】また、ゲート電極の少なくとも基部におけるチャンネル長方向の幅を半導体基板から離間するにつれて狭くしているので、この電界効果型半導体装置の上層に積層させる膜の段差被覆性がよくて平坦性が高く、上層配線の加工等が容易である。

【0015】

【実施例】以下、MOSトランジスタの製造に適用した本発明の第1及び第2実施例を、図1、2を参照しながら説明する。図1が、第1実施例を示している。この第1実施例では、図1(a)に示す様に、Si基板21の表面を熱酸化して、この表面にゲート酸化膜としてのSiO<sub>2</sub>膜22を形成する。

【0016】その後、多結晶Si膜23等をCVD法で堆積させ、フォトリソグラフィでゲート電極のパターンのレジスト24を多結晶Si膜23上に形成する。そして、このレジスト24をマスクにして、条件を最適化した異方性エッチングを多結晶Si膜23に施して、多結晶Si膜23をテーパー形状に加工する。このときのテーパー角としては、多結晶Si膜23の高さを150nm程度とすると、Si基板21の法線に対する角度が15〜25°程度がよい。

【0017】次に、図1(b)に示す様に、レジスト24を除去してから、多結晶Si膜23をマスクにした不純物の斜め回転イオン注入で低濃度の拡散層領域25をSi基板21に形成する。このときの斜め回転イオン注入は、図1(b)からも明らかな様に、多結晶Si膜23下で且つ多結晶Si膜23から離間した深さにまで拡散層領域25を形成するために、既述の一従来例における拡散層領域14を形成するためのイオン注入よりも高エネルギーで行う。

【0018】次に、図1(c)に示す様に、SiO<sub>2</sub>膜26等の絶縁膜を全面に堆積させ、SiO<sub>2</sub>膜26の全面をエッチバックして、このSiO<sub>2</sub>膜26から成る側壁を多結晶Si膜23に設ける。そして、多結晶Si膜23とSiO<sub>2</sub>膜26とをマスクにした不純物のイオン注入で高濃度の拡散層領域27をSi基板21に形成する。

【0019】以上の様な第1実施例で製造したMOSトランジスタでは、不純物の斜め回転イオン注入で多結晶Si膜23下にまで拡散層領域25を形成しているが、多結晶Si膜23をテーパー形状にしているので、実効チャンネル長28は図3に示した第1従来例の場合と同等程度であり図4に示した第2従来例の場合の実効チャンネル長18よりも長い。

【0020】しかも、この様に実効チャンネル長28を長くしているが、多結晶Si膜23をテーパー形状にしているので、図1(a)からも明らかな様に、チャンネル長

4

方向におけるレジスト24の幅は図3、4に示した第1及び第2従来例よりも長くする必要がない。

【0021】図2は、本発明の第2実施例で製造したMOSトランジスタを示している。この第2実施例も、多結晶Si膜31とタングステンシリサイド膜32とのポリサイド層33でゲート電極を形成し且つタングステンシリサイド膜32は垂直形状に加工し多結晶Si膜31のみをテーパー形状に加工することを除いて、図1に示した第1実施例と実質的に同様の工程を実行する。そして、この第2実施例でも、第1実施例と同様の作用効果を奏することができる。

【0022】なお、以上の第1及び第2実施例は、MOSトランジスタの製造に本発明を適用したものであるが、MOSトランジスタ以外の電界効果型半導体装置の製造にも本発明を当然に適用することができる。

【0023】

【発明の効果】本発明による電界効果型半導体装置の製造方法では、拡散層領域をゲート電極下にまで形成することができるので、ホットキャリアのうちでゲート電極に注入される割合が高くなり絶縁性の側壁に注入される割合が低くなって、特性の経時的劣化が少なくて寿命が長い電界効果型半導体装置を製造することができる。

【0024】しかも、ゲート電極の基部におけるチャンネル長方向の幅をリソグラフィのマスクの幅よりも広くすることができるので、リソグラフィのマスクの幅を変更することなく実効チャンネル長を長くして、短チャンネル効果も抑制された電界効果型半導体装置を製造することができる。

【0025】また、この電界効果型半導体装置の上層に積層させる膜の段差被覆性がよくて平坦性が高く、上層配線の加工等が容易であるので、この電界効果型半導体装置を高い歩留りで製造することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例を工程順に示すMOSトランジスタの側断面図である。

【図2】本発明の第2実施例で製造したMOSトランジスタの側断面図である。

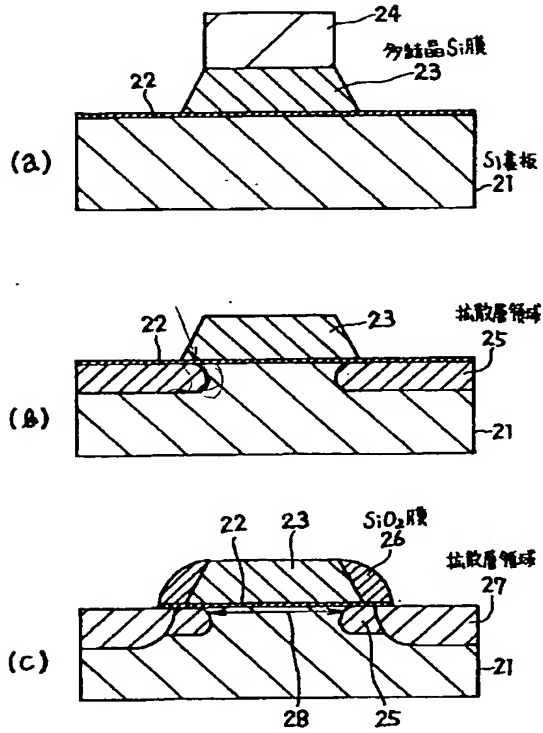
【図3】本発明の第1従来例で製造したMOSトランジスタの側断面図である。

【図4】本発明の第2従来例で製造したMOSトランジスタの側断面図である。

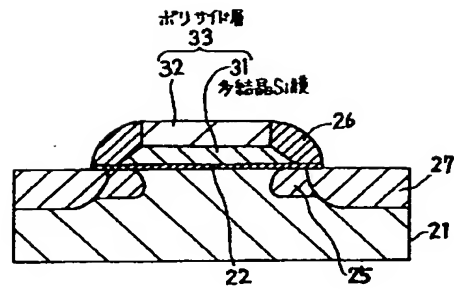
【符号の説明】

- 21 Si基板
- 23 多結晶Si膜
- 25 拡散層領域
- 26 SiO<sub>2</sub>膜
- 27 拡散層領域
- 31 多結晶Si膜
- 33 ポリサイド層

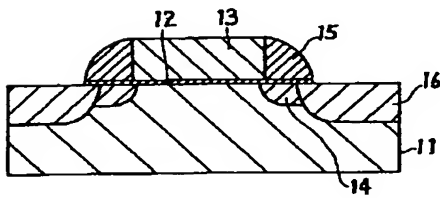
【図1】



【図2】



【図3】



【図4】

